



BREVET D'INVENTION

CERTIFICAT D'UTILITÉ - CERTIFICAT D'ADDITION

COPIE OFFICIELLE

Le Directeur général de l'Institut national de la propriété industrielle certifie que le document ci-annexé est la copie certifiée conforme d'une demande de titre de propriété industrielle déposée à l'Institut.

Fait à Paris, le 17 DEC. 2001

Pour le Directeur général de l'Institut
national de la propriété industrielle
Le Chef du Département des brevets

Martine PLANCHE

INSTITUT
NATIONAL DE
LA PROPRIÉTÉ
INDUSTRIELLE

SIEGE
26 bis, rue de Saint Petersburg
75800 PARIS cedex 08
Téléphone : 33 (1) 53 04 53 04
Télécopie : 33 (1) 42 93 59 30
www.inpi.fr

THIS PAGE BLANK (USPTO)



INSTITUT NATIONAL DE LA PROPRIÉTÉ INDUSTRIELLE
26 bis, rue de Saint Pétersbourg
75800 Paris Cedex 08
Téléphone : 01 53 04 53 04 Télécopie : 01 42 94 86 54

BREVET D'INVENTION
CERTIFICAT D'UTILITÉ

Code de la propriété intellectuelle-Livre VI



REQUÊTE EN DÉLIVRANCE 1/2

Réservé à L'INPI

Cet imprimé est à remplir lisiblement à l'encre noire

REMISE DES PIÈCES DATE INPI GRENOBLE 23 DEC. 2000 LIEU N° D'ENREGISTREMENT 00 17 294 NATIONAL ATTRIBUÉ PAR L'INPI DATE DE DÉPÔT ATTRIBUÉE 29 DEC. 2000 PAR L'INPI		1 NOM ET ADRESSE DU DEMANDEUR OU DU MANDATAIRE À QUI LA CORRESPONDANCE DOIT ÊTRE ADRESSÉE Cabinet Michel de Beaumont 1 rue Champollion 38000 GRENOBLE	
Vos références pour ce dossier (facultatif) B4828			
Confirmation d'un dépôt par télécopie <input type="checkbox"/> N° attribué par l'INPI à la télécopie			
2 NATURE DE LA DEMANDE		Cochez l'une des 4 cases suivantes	
Demande de Brevet		<input checked="" type="checkbox"/>	
Demande de certificat d'utilité		<input type="checkbox"/>	
Demande divisionnaire		<input type="checkbox"/>	
Demande de brevet initiale ou demande de certificat d'utilité initiale		N° Date / /	
Transformation d'une demande de brevet européen		N° Date / /	
3 TITRE DE L'INVENTION (200 caractères ou espaces maximum) RAFFRAÎCHISSEMENT DE MÉMOIRE DRAM			
4 DÉCLARATION DE PRIORITÉ OU REQUÊTE DU BÉNÉFICE DE LA DATE DE DÉPÔT D'UNE DEMANDE ANTÉRIEURE FRANÇAISE		Pays ou organisation FR Date Pays ou organisation Date / / Pays ou organisation Date / / <input type="checkbox"/> S'il y a d'autres priorités, cochez la case et utilisez l'imprimé "Suite"	
5 DEMANDEUR		<input type="checkbox"/> S'il y a d'autres demandeurs, cochez la case et utilisez l'imprimé "Suite"	
Nom ou dénomination sociale		STMicroelectronics SA	
Prénoms			
Forme juridique		Société anonyme	
N° SIREN			
Code APE-NAF			
ADRESSE		Rue 7, Avenue Gallieni Code postal et ville 94250 GENTILLY	
Pays		FRANCE	
Nationalité		Française	
N° de téléphone (facultatif)			
N° de télécopie (facultatif)			
Adresse électronique (facultatif)			

Réservé à L'INPI

REMISE DES PIÈCES

DATE

INPI GRENOBLE 29 DEC. 2000

LIEU

N° D'ENREGISTREMENT

00 17294

NATIONAL ATTRIBUÉ PAR L'INPI

Vos références pour ce dossier

(facultatif) B4828

6 MANDATAIRE

Nom

Prénom

Cabinet ou Société

Cabinet Michel de Beaumont

N° de pouvoir permanent et/ou
de lien contractuel

ADRESSE

Rue

1 Rue Champollion

Code postal et ville

38000

GRENOBLE

N° de téléphone (facultatif)

04.76.51.84.51

N° de télécopie (facultatif)

04.76.44.62.54

Adresse électronique (facultatif)

cab.beaumont@wanadoo.fr

7 INVENTEUR (S)

Les inventeurs sont les demandeurs

☐ Oui

☒ Non

Dans ce cas fournir une désignation d'inventeur (s) séparée

8 RAPPORT DE RECHERCHE

Uniquement pour une demande de brevet (y compris division et transformation)

Établissement immédiat

☒

ou établissement différé

☐

Paiement échelonné de la redevance

Paiement en trois versements, uniquement pour les personnes physiques

☐ Oui

☒ Non

**9 RÉDUCTION DU TAUX DES
REDEVANCES**

Uniquement pour les personnes physiques

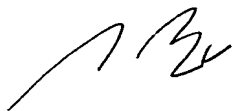
☐ Requête pour la première fois pour cette invention (joindre un avis de non-imposition)

☐ Requête antérieurement à ce dépôt (joindre une copie de la décision d'admission pour cette invention ou indiquer sa référence) :

Si vous avez utilisé l'imprimé "Suite", indiquez le
nombre de pages jointes

**10 SIGNATURE DU DEMANDEUR
OU DU MANDATAIRE
(Nom et qualité du signataire)**

Michel de Beaumont
Mandataire n° 92-1016



VISA DE LA PREFECTURE
OU DE L'INPI



DÉSIGNATION D'INVENTEUR(S) PAGE N°1/ 1

(Si le demandeur n'est pas l'inventeur ou l'unique inventeur)

Cet imprimé est à remplir lisiblement à l'encre noire

Vos références pour ce dossier (facultatif)		B4828	
N° D'ENREGISTREMENT NATIONAL		00 17 294	
TITRE DE L'INVENTION (200 caractères ou espaces maximum)			
RAFFRAÎCHISSEMENT DE MÉMOIRE DRAM			
LE(S) DEMANDEUR(S)			
STMicronics SA			
DESIGNE (NT) EN TANT QU'INVENTEUR(S) : (Indiquez en haut à droite "Page N°1/1" S'il y a plus de trois inventeurs, utilisez un formulaire identique numérotez chaque page en indiquant le nombre total de pages).			
Prénoms & Nom		Richard Ferrant	
ADRESSE	Rue	443, Rue Léo Lagrange	
	Code postal et ville	38920	CROLLES, FRANCE
Société d'appartenance (facultatif)			
Prénoms & Nom		François Jacquet	
ADRESSE	Rue	6, Avenue Albert 1er de Belgique	
	Code postal et ville	38000	GRENOBLE, FRANCE
Société d'appartenance (facultatif)			
Prénoms & Nom			
ADRESSE	Rue		
	Code postal et ville		
Société d'appartenance (facultatif)			
DATE ET SIGNATURE (S) DU (DES) DEMANDEUR(S) OU DU MANDATAIRE (Nom et qualité du signataire)			
Michel de Beaumont Mandataire n° 92-1016 Le 28 décembre 2000			

RAFRAÎCHISSEMENT DE MÉMOIRE DRAM

La présente invention concerne la réalisation sous forme intégrée de dispositifs mémoire. Plus particulièrement, la présente invention concerne la réalisation de mémoires dynamiques (DRAM), c'est-à-dire de mémoires nécessitant des rafraîchissements périodiques.

L'augmentation des densités de mémoires DRAM conduit à la réalisation d'éléments de commande (généralement des transistors MOS) de points mémoire (condensateurs) de dimensions (surfaces) de plus en plus réduites. Cette réduction des dimensions s'accompagne d'une réduction des niveaux de tension que peuvent supporter ces éléments.

Par conséquent, l'utilisation de transistors de commande de points mémoire DRAM de surfaces réduites conduit à une réduction des niveaux de charge stockés dans ces points mémoire. Une telle réduction rend plus difficile la discrimination, au niveau d'amplificateurs de lecture associés à la mémoire, entre les états d'un élément de mémorisation adressé en lecture et d'un élément de mémorisation de référence associé.

Une première solution pour pallier cet inconvénient consisterait à accroître la sensibilité des amplificateurs de lecture associés au dispositif de mémoire afin d'accroître leur précision jusqu'à pouvoir détecter une différence de niveaux

aussi faible qu'environ 50 mV. Toutefois, la mise en oeuvre d'une telle solution signifie la réalisation d'amplificateurs de lecture comportant un nombre de transistors de plus en plus important, et dont les seuils doivent être fixés de façon de plus en plus précise. Indépendamment des complications du procédé d'intégration du dispositif mémoire, l'accroissement du nombre de transistors constituant ces amplificateurs de lecture précis réduit considérablement les avantages retirés de la réduction des dimensions caractéristiques des transistors de commandes des éléments de mémorisation d'une mémoire DRAM.

La présente invention vise à proposer un nouveau type de dispositifs mémoire DRAM réalisable sous forme intégrée avec des dimensions minimales, et dont les niveaux de tension mémorisés soient propres à être discriminés par un amplificateur de lecture standard.

Pour atteindre ces objets, la présente invention prévoit une mémoire DRAM comprenant un réseau matriciel d'éléments de mémorisation organisés en lignes et colonnes, et pour chaque colonne :

des moyens d'écriture propres à polariser au moins un sélectionné des éléments à un niveau de charge choisis parmi un premier niveau haut prédéterminé et un deuxième niveau bas prédéterminé, combinés à des moyens de lecture propres à déterminer si le niveau de charge stocké est supérieur ou inférieur à un niveau de précharge prédéterminé ; et

des moyens d'isolement propres à isoler le réseau des moyens de lecture et/ou d'écriture,

chaque colonne comportant en outre des moyens de rafraîchissement, distincts des moyens de lecture et d'écriture, pour accroître, au-delà des premier et deuxième niveaux prédéterminés, la charge stockée dans un élément de mémorisation.

Selon un mode de réalisation, les moyens de rafraîchissement sont constitués d'un transistor MOS à canal P à double grille, interposé entre un rail d'alimentation élevé et un noeud d'interconnexion de drains de deux transistors MOS à canal P à

double grille, dont les sources constituent des bornes d'entrée/sortie dont chacune est ramenée à la grille de l'autre des transistors.

5 Selon un mode de réalisation, les moyens d'isolement comportent, intercalé entre chaque sortie du réseau et une des bornes d'entrée/sortie des moyens de lecture-écriture, un transistor MOS à canal N à double grille.

Selon un mode de réalisation, chaque colonne comporte également un étage de précharge du réseau matriciel.

10 Selon un mode de réalisation, l'étage de précharge comporte, intercalé entre chaque sortie du réseau et une source d'alimentation de précharge, un transistor MOS à canal N à double grille.

15 Selon un mode de réalisation, chaque colonne comporte également un étage de précharge et d'équilibrage des moyens de lecture.

20 Selon un mode de réalisation, l'étage de précharge et d'équilibrage comporte, intercalés entre deux bornes de lecture des moyens de lecture, trois transistors MOS de même type à grille commune dont deux premiers sont connectés en série entre les bornes de lecture, leur point commun étant relié à une source d'alimentation de précharge et dont le dernier court-circuite directement les bornes de lecture.

25 La présente invention prévoit également un procédé d'écriture d'une donnée dans une mémoire selon l'un quelconque des modes de réalisation précédents, comportant l'étape consistant à polariser les moyens d'isolement de façon qu'ils soient partiellement ouverts, et à valider les moyens de rafraîchissement.

30 Selon un mode de réalisation, le procédé comporte l'étape consistant à polariser les moyens d'isolement de façon qu'ils soient complètement ouverts, et à valider les moyens de rafraîchissement.

35 Selon un mode de réalisation, le procédé consiste à prévoir, pour les moyens d'isolement, un signal de commande à

trois niveaux, un premier niveau activant complètement les moyens d'isolement, un deuxième niveau bas inhibant complètement les moyens d'isolement et un troisième niveau étant propre à activer ou inhiber chaque transistor MOS à canal N à double grille selon l'état de la borne d'entrée/sortie des moyens de lecture-écriture qui lui est associée.

Ces objets, caractéristiques et avantages, ainsi que d'autres de la présente invention seront exposés en détail dans la description suivante de modes de réalisation particuliers faite à titre non-limitatif en relation avec les figures jointes parmi lesquelles :

la figure 1 illustre schématiquement et partiellement une colonne d'un dispositif mémoire selon la présente invention ;

la figure 2 illustre l'évolution dans le temps de signaux de commande et de sortie en certains points du circuit de la figure 1 pendant des opérations de précharge ; et

la figure 3 illustre l'évolution dans le temps de signaux de commande et de sortie en certains points du circuit de la figure 1 pendant la lecture d'une donnée.

Les mêmes éléments ont été désignés par les mêmes références aux différentes figures. Pour des raisons de clarté, les formes d'ondes illustrées en figures 2 et/ou 3 ont été désignées par le nom des lignes les véhiculant en figure 1. En outre, seuls les éléments nécessaires à la compréhension de l'invention ont été représentés et seront décrits par la suite. En particulier, les structures et fonctionnements des différents circuits de commande de la mémoire n'ont pas été détaillés et ne font pas l'objet de la présente invention. De même, le fonctionnement et l'exploitation des signaux d'entrée/sortie d'une mémoire dynamique sont considérés comme connus et ne seront pas détaillés ci-après.

La figure 1 illustre schématiquement et partiellement une colonne d'un dispositif de mémoire dynamique (DRAM) selon la présente invention. La colonne comporte un réseau matriciel MA d'éléments de mémorisation 2. Les éléments de mémorisation 2 sont

répartis dans le réseau MA à l'intersection de lignes et colonnes. Chaque colonne comporte deux lignes de bit, une ligne de bit directe BLd et une ligne de bit de référence BLr, représentées verticalement. Chaque élément 2 est constitué par l'association en série, entre une ligne de bit BLd et un rail d'alimentation basse ou masse du circuit, d'un transistor de commande T, par exemple à canal N, et d'un condensateur C. Le point milieu de l'association du transistor T et du condensateur C constitue le point mémoire STORE. La grille du transistor T est reliée à une ligne de mot WL du réseau MA, représentée horizontalement. Chaque colonne est associée à au moins un élément de référence (non représenté) constitué, comme l'élément 2, d'un transistor de commande et d'un condensateur connectés de façon similaire à ceux de l'élément 2 mais entre la ligne de bit de référence BLr de la même colonne et une ligne de mot (non représentée) distincte de la ligne WL. L'élément de référence est associé à un point mémoire de référence STOREref (non représenté en figure 1).

Chaque colonne du réseau MA est associée à un amplificateur de lecture SA. Plus particulièrement, la ligne de bit directe BLd est reliée à une première borne de lecture SA1 de l'amplificateur SA par l'intermédiaire d'un étage 3 d'isolement et de transfert. De même, la ligne de bit de référence BLr est reliée à une seconde borne de lecture SA2 de l'amplificateur de lecture SA par l'intermédiaire de l'étage de transfert et d'isolement 3. L'amplificateur de lecture SA est bidirectionnel et est également utilisé lors de l'écriture.

Chaque amplificateur SA est constitué de la connexion en série, entre un premier rail d'alimentation haut Vdd et la masse du circuit, de deux transistors MOS complémentaires de sélection à canal P P4 et à canal N N5, entre lesquels est interposée une association en parallèle de deux branches identiques B1 et B2. Chaque branche B1 et B2 comporte, connectés en série, un transistor MOS à canal P P6, respectivement P7, et un transistor MOS à canal N N8, respectivement N9. Le point commun des transistors P6 et N8 de la première branche B1 constitue la première

borne de lecture SA1. Le point commun des transistors P7 et N9 de la seconde branche B2 constitue la seconde borne de lecture SA2. Les grilles des transistors complémentaires P6 et N8 de la branche B1 sont interconnectées et reliées à la borne SA2. Les grilles des transistors P7 et N9 de la branche B2 sont interconnectées et reliées à la borne SA1. Les drains des transistors P6 et P7 sont reliés à la source du transistor P4. Les sources des transistors N8 et N9 sont interconnectées au drain du transistor N5. Les transistors P6, P7, N8 et N9 forment deux inverseurs en anti-parallèle entre les bornes de lecture SA1 et SA2. Les grilles des transistors de sélection P4 et N5 sont pilotées par des signaux respectifs de validation SELP et SELN. La structure de l'amplificateur SA et des éléments de sélection P4 et N5 est classique.

Selon l'invention, l'étage d'isolement et de transfert 3 est constitué de transistors MOS à canal N à double grille N10, N11. Les transistors N10 et N11 reçoivent sur leur grille respective une même commande de transfert de données BLPASS. Les drains des transistors N10 et N11 sont respectivement reliés à l'extrémité d'une des lignes de bit BLd et BLr. Leurs sources sont reliées à une des bornes de lecture SA1, SA2 de l'amplificateur de lecture SA, respectivement.

Une caractéristique de l'invention est que le signal BLPASS est choisi pour que, lorsqu'il est actif (niveau haut), son niveau soit tel qu'un des transistors N10 ou N11 est bloqué tandis que l'autre transistor N11 ou N10 est passant, selon l'état des bornes de lecture auxquelles ils sont respectivement associés. Cette caractéristique ressortira mieux lors de la description de la figure 3.

L'amplificateur de lecture SA est associé à un étage 12 de précharge et d'équilibrage classique constitué de trois transistors MOS à canal P P13, P14 et P15 à grilles communes. Les transistors P13 et P14 sont reliés en série entre les bornes SA1 et SA2. Le point milieu entre les transistors P13 et P14 est relié au rail d'alimentation Vdd. Le transistor P15 court-

circuite directement les bornes SA1 et SA2. La grille commune des transistors P13, P14 et P15 reçoit une commande de précharge PSA.

Les lignes de bit directe BLd et de référence BLr sont également reliées à un dispositif 16 de précharge. Selon l'invention, le dispositif 16 comprend un transistor à canal N à double grille N17 ou N18, intercalé entre le rail d'alimentation haute Vdd et l'extrémité de la ligne de bit BLd ou BLr à la sortie du réseau matriciel MA. L'étage de précharge 16 est intercalé entre le réseau matriciel MA et l'étage de transfert 3. La source du transistor de précharge N17, N18 de chaque ligne de bit BLd, BLr est donc connectée au drain du transistor de transfert correspondant N10, N11. Les grilles des transistors N17, N18 sont interconnectées et reçoivent un même signal PBL de commande de précharge des lignes de bit.

Selon l'invention, une colonne d'un dispositif mémoire de type DRAM comporte en outre un étage de rafraîchissement 19. L'étage 19 comporte deux bornes d'entrée/sortie OUT20 et OUT21 respectivement reliées à une extrémité d'une des lignes de bit BLd et BLr de la colonne considérée. L'extrémité concernée des lignes de bit est opposée à celle connectée aux étages de précharge de ligne de bit 16 et de transfert 3. La borne OUT20, associée à la ligne BLd, est la source d'un transistor MOS à canal P à double grille P22. La borne OUT21, associée à la ligne BLr, est la source d'un transistor MOS à canal P à double grille P23. La borne OUT20 est également reliée à la grille du transistor P23. La borne OUT21 est également reliée à la grille du transistor P22. Les drains des transistors P22 et P23 sont interconnectés à la source d'un transistor à canal P à double grille P24 de commande de l'étage de rafraîchissement 19.

Le drain du transistor P24 est relié à un second rail d'alimentation haute Vcc dont le niveau de tension est, selon l'invention, supérieur aux niveaux d'écriture des éléments de mémorisation 2 et au niveau de précharge de l'amplificateur SA. Dans le cas considéré, le niveau d'écriture le plus élevé et le niveau de précharge de l'amplificateur SA sont égaux au niveau de

tension du premier rail d'alimentation haute V_{dd} . La grille du transistor P24 reçoit un signal de commande de rafraîchissement RESTORE.

Le fonctionnement d'un dispositif mémoire selon la présente invention sera expliqué ci-après en relation avec la figure 2 qui illustre l'évolution dans le temps de divers signaux de commande et/ou de sortie d'une mémoire dynamique selon la présente invention, lors d'une opération de précharge d'un élément de mémorisation 2 (figure 1) ou des bornes de lecture SA1 et SA2.

Les figures 2A, 2B, 2C, 2D, 2E et 2F représentent, respectivement, les signaux de commande RESTORE, WL, PBL, BLPASS, SELN (SELP) et PSA. Les figures 2G à 2J illustrent les variations de tension dans le temps, respectivement, sur la ligne BLd, au point STORE, et sur les bornes SA1 et SA2.

Une précharge d'une ligne de bit directe BLd (figure 1) d'une colonne donnée et de la ligne de bit de référence associée peut avoir lieu, par exemple, avant une quelconque opération d'écriture d'une donnée dans cet élément 2. La précharge commence en isolant le réseau MA de l'amplificateur SA. Pour ce faire, le signal de commande d'isolement BLPASS est, selon son état initial, amené ou maintenu à zéro à un instant t_0 (figure 2D). Les transistors N10 et N11 sont alors tous les deux bloqués pourvu que les niveaux des points SA1 et SA2 soient supérieurs à $-V_t$, où V_t représente la tension de seuil des transistors N10 et N11.

Cette condition peut toujours être respectée en choisissant convenablement les niveaux de précharge. Les cellules 2 sont isolées des lignes de bit directes et indirectes en maintenant ouvert leur transistor de commande. À un instant t_1 , les transistors N17 et N18 de l'étage de précharge 16 sont rendus passants en amenant à son niveau de tension le plus haut V_{Non} le signal de précharge PBL (figure 2C). Alors, la ligne de bit directe BLd (figure 2G) et le point STORE (figure 2H) se polarisent au niveau d'alimentation du transistor de précharge N17, par exemple V_{dd} , qui est atteint à un instant t_2 . De façon similaire, la ligne de bit de référence BLr est préchargée au niveau fixé par l'alimen-

tation du transistor de précharge N18, de préférence identique au niveau d'alimentation du transistor N17, par exemple Vdd. Lors de telle précharge, l'étage de rafraîchissement 19 est invalidé. En effet, le signal de commande de rafraîchissement RESTORE (figure 2A) est maintenu à l'état haut VPoff, garantissant le blocage du transistor P24. D'autre part, les niveaux de tension de précharge relativement élevés des lignes de bit BLd et BLr sont transmis aux bornes OUT20 et OUT21, c'est-à-dire sur les grilles des transistors à canal P P22 et P23. Ces transistors sont alors commandés à l'ouverture. Après l'instant t2 de stabilisation des niveaux sur la ligne de bit BLd (et BLr) le signal de précharge PBL est commuté à l'instant t3 pour invalider l'étage 16 de précharge.

Une précharge des bornes de lecture SA1 et SA2 de l'amplificateur de lecture SA est nécessaire avant une opération de lecture d'une donnée mémorisée dans un quelconque des éléments 2 du réseau MA. Lors d'une telle précharge, le réseau MA doit être isolé de l'amplificateur SA. Cette condition étant remplie en figure 2, l'opération de précharge de l'amplificateur SA sera décrite ci-après en relation avec les figures 2D, 2F, 2I et 2J. L'isolement entre le réseau MA et l'amplificateur SA étant assuré à l'instant t0 par un état bas du signal BLPASS, les transistors P13, P14 et P15 de l'étage 12 sont commandés à la fermeture par une commutation du signal PSA (figure 2F) à un instant t4. Les transistors P13 et P14 recopient alors sur les bornes SA1 (figure 2I) et SA2 (figure 2J) le niveau de tension fixé en leur point commun, par exemple le niveau Vdd. Les niveaux de tension des deux points SA1 et SA2 sont équilibrés par le transistor P15. La précharge des bornes SA1 et SA2 prend fin après stabilisation à un instant ultérieur t5 par l'invalidation de l'étage 12.

L'homme de l'art comprendra que la description précédente d'opérations de précharge des lignes de bit et de l'amplificateur en relation avec la même figure 2 n'implique aucune synchronisation entre ces deux opérations. Une telle description a été effectuée à titre d'exemple non-limitatif

uniquement car ces précharges s'effectuent toutes deux alors que le réseau MA est isolé de l'amplificateur SA, c'est-à-dire quand le signal BLPASS est à l'état bas. On pourrait toutefois, pendant une précharge de l'amplificateur de lecture SA, effectuer toute
 5 autre opération sur le réseau matriciel MA, telle que, par exemple, un rafraîchissement, requérant un isolement entre le réseau MA et l'amplificateur SA. Inversement, pendant une précharge d'un ou plusieurs des éléments de mémorisation 2 du réseau matriciel MA, toute opération telle que, par exemple, le chargement sur les
 10 bornes SA1 et SA2 de données à transférer dans le réseau MA, imposant un isolement entre le réseau MA et l'amplificateur SA, pourrait être effectuée.

Des opérations successives de lecture et de rafraîchissement d'une donnée contenue dans un élément de mémorisation 2
 15 seront détaillées ci-après en relation avec la figure 3 qui illustre l'évolution dans le temps de divers signaux de commande et/ou de sortie d'une mémoire dynamique selon la présente invention. La figure 3A représente le signal RESTORE. La figure 3B représente le signal WL. La figure 3C représente le signal PBL.
 20 La figure 3D représente le signal BLPASS. La figure 3E représente le signal SELN ($\overline{\text{SELP}}$). La figure 3F représente le signal PSA. Les figures 3G et 3H illustrent les variations dans le temps, respectivement, sur les lignes de bit directe BLd et de référence BLr. Les figures 3I et 3J illustrent la variation de tension dans
 25 le temps, respectivement, aux points de mémorisation STORE et STOREref. Les figures 3K et 3L illustrent les variations de tension dans le temps, respectivement, sur les bornes SA1 et SA2.

Une opération de lecture survient après une opération de précharge des lignes de bit BLd et BLr et des bornes SA1 et
 30 SA2. Par souci de simplification, comme l'illustrent les figures 3G, 3H, 3K et 3L, on considère comme précédemment que ces différents niveaux de précharge sont égaux entre eux et égaux à une première alimentation haute d'écriture Vdd. Ces états de précharge étant stabilisés, une opération de lecture a lieu alors
 35 que les étages de précharge 12 des bornes SA1 et SA2, et 16 des

lignes BLd, BLr, respectivement, sont invalidés par le maintien des signaux PSA (figure 3F) et PBL (figure 3C) à des états respectifs haut (par exemple, Vdd) et bas (par exemple, 0). Ces conditions étant remplies, une opération de lecture commence à un instant t30 par la sélection des éléments de mémorisation 2 et de référence associé par la fermeture de leurs transistors de commande T respectifs (c'est-à-dire par la commutation à un état relativement élevé, par exemple Vdd, de leurs signaux de commande respectifs WL et WLref, figure 3B). Simultanément, l'étage 3 de transfert est rendu complètement passant par la commutation à son état le plus haut VRS du signal BLPASS (figure 3D). Alors, les niveaux de tension sur les bornes SA1 et SA2, tendent à s'équilibrer avec les niveaux des éléments de mémorisation. En pratique, on suppose que l'élément de mémorisation 2 contient une donnée "1". Le point STORE est alors à son niveau de tension le plus haut VRS (figure 3I). De façon anti-symétrique, on suppose que l'élément de mémorisation de référence contient une donnée "0". Le point de mémorisation STOREref est alors initialement à un niveau de tension nulle. A l'instant t30, les niveaux de tension sur la ligne de bit BLd et au point STORE tendent vers un niveau de tension V1 relativement élevé, compris entre VRS et Vdd. De façon anti-symétrique, la ligne de bit de référence BLr la borne SA2 et le point de mémorisation de référence STOREref tendent à s'équilibrer en un niveau de tension V2 au plus égal à Vdd. En effet, du côté de la ligne de bit directe, les charges doivent s'équilibrer entre un point au potentiel VRS et un point au potentiel Vdd. Par contre, sur la ligne de référence BLr, elles doivent s'équilibrer entre un point à une tension nulle et un point à une tension Vdd. Il apparaît alors entre les bornes SA1 et SA2 un écart de tension ΔV égal à la différence existant entre les potentiels V1 et V2. A un instant t31, l'amplificateur de lecture SA est validé par une commutation appropriée de ses signaux de sélection SELN et SELP (figure 3E). La différence de tension ΔV est alors amplifiée par l'amplificateur SA. Les états de tension relativement élevé et nul ainsi atteints par les

bornes SA1 et SA2 correspondent alors aux niveaux initialement mémorisés respectivement dans les éléments de mémorisation et de référence.

Selon l'invention, une telle opération de lecture est suivie d'une opération de rafraîchissement de la donnée "1". Pour ce faire, on procède de la façon suivante. Une fois les niveaux de lecture atteints, l'étage d'isolement et de transfert 3 est partiellement déséquilibré à un instant t_{33} , par une commande BLPASS à un niveau (par exemple, V_{cc}) plus faible que le niveau haut de fermeture V_{Non} de cet étage.

En fait, le potentiel V_{cc} est choisi pour être inférieur au niveau haut (par exemple, V_{dd}) d'une borne de lecture, majoré de la tension de seuil V_t des transistors N10 et N11. On tire alors profit du fait que les transistors N10 et N11 étant à canal N, ils laissent passer les niveaux qui sont inférieurs au niveau de leur tension de grille diminuée de leur tension de seuil. Si la borne de lecture (par exemple, SA1) est à l'état haut, le transistor correspondant (par exemple, N10) de l'étage d'isolement 3 est bloqué. Si la borne de lecture (par exemple, SA2) est à l'état bas, le transistor correspondant (par exemple, N11) est passant. L'amplificateur SA est donc partiellement isolé du réseau MA.

L'étage de rafraîchissement 19 est alors validé par une transition d'un état haut à un état bas de son signal de commande RESTORE (instant t_{33}). La tension de rafraîchissement V_{cc} d'alimentation du transistor de commande de rafraîchissement P24 est alors transmise sur la ligne de bit directe BLd. La charge stockée sur le noeud mémoire STORE est alors accrue, comme l'illustre la figure 3I. En effet, comme cela a été exposé précédemment, le niveau V_{cc} est supérieur au niveau d'écriture V_{dd} . Comme le transistor N11 est passant, l'étage d'isolement 3 permet, dès l'instant t_{33} de la commutation du signal de commande de rafraîchissement RESTORE, que la ligne de bit de référence BLr soit polarisée au niveau bas par la seconde borne SA2 de l'amplificateur de lecture SA. La ligne BLr transmet alors ce niveau bas

sur la grille du transistor à canal P P22 de l'étage de rafraîchissement 19 connecté à la ligne de bit directe BLd. Le transistor P22 est alors commandé en fermeture et la sortie OUT20 de l'étage de rafraîchissement 19 recopie la tension de rafraîchissement Vcc. L'état initial haut de la ligne de bit directe BLd est transmis à la grille du transistor P23 qui demeure ouvert et empêche la transmission du niveau de rafraîchissement VRS sur la ligne de bit de référence BLr. Une telle transmission provoquerait un conflit de valeur au niveau des bornes de lecture SA1 et SA2 qui conduirait à une oscillation indésirable des niveaux dans le circuit. Grâce au blocage du transistor N10, l'étage 3 isole la borne SA1 de la ligne BLd et évite ainsi tout conflit entre les niveaux VRS et Vdd. Par conséquent, la seule donnée "1" mémorisée dans l'élément 2 est surélevée en tension. Une fois ce niveau de tension surélevé stabilisé à VRS, le rafraîchissement de l'élément 2 peut être interrompu à un instant t34 qui correspond également à la fin de la lecture, c'est-à-dire à la désélection de l'élément de mémorisation et à la fermeture totale de l'étage de transfert 3, les signaux WL, WLref et BLPASS étant ramenés à 0.

Une opération d'écriture est effectuée de la façon suivante. Une opération d'écriture commence par le verrouillage sur les bornes d'entrée/sortie SA1 et SA2 de l'amplificateur de lecture SA des données à écrire.

Selon un premier mode de réalisation, on peut utiliser pour ce verrouillage un amplificateur d'écriture de puissance (non représenté en figure 1) qui impose des états voulus sur les bornes SA1 et SA2.

Selon un deuxième mode de réalisation, on précharge, de la façon décrite précédemment en relation avec la figure 2 les bornes de l'amplificateur à un niveau Vdd. Ensuite, on provoque, à l'aide d'un moyen approprié non représenté en figure 1, un déséquilibre de tension entre les deux bornes SA1 et SA2 dans le sens voulu. On sélectionne ensuite l'amplificateur de lecture SA. Alors, comme cela a été décrit précédemment entre les instants

t33 et t34 (figure 3), le déséquilibre entre les deux bornes SA1 et SA2 est amplifié.

Une fois ces états verrouillés, le transfert des données est possible. Pour ce faire, comme pour une lecture, on sélectionne simultanément l'élément de mémorisation 2 et son élément de référence correspondant, tout en autorisant le transfert des données par une commutation à son état le plus haut du signal BLPASS. L'amplificateur de lecture SA étant validé, il impose les niveaux de tension aux points STORE et STOREref. Une fois ces niveaux stabilisés, il est souhaitable d'effectuer une surélévation de la donnée "1". Pour ce faire, comme cela a été exposé précédemment, le signal BLPASS est ramené à un niveau plus faible, alors que l'étage RESTORE est validé par un passage à l'état bas du signal RESTORE. Alors, de la façon décrite précédemment en relation avec la figure 3, le niveau haut Vdd de la cellule contenant la donnée "1", par exemple la cellule 2, est surélevé au niveau VRS.

Selon une variante, les opérations de rafraîchissement peuvent n'être effectuées qu'avant une lecture.

Les signaux de commande sont ensuite modifiés d'une façon appropriée quelconque pour autoriser une opération suivante, par exemple d'effacement de l'élément 2, c'est-à-dire son retour à un état de précharge de la façon décrite précédemment en relation avec la figure 2, soit la préparation d'une opération ultérieure de rafraîchissement ou de réécriture de l'élément 2, ou encore sa lecture.

Un avantage de la présente invention est de remplacer des dispositifs d'amplificateur de lecture relativement complexes et encombrants par la combinaison d'un étage de lecture standard et d'un étage de rafraîchissement constitué de seulement trois transistors supplémentaires par colonne. Selon l'invention, la difficulté pour un amplificateur à transistors de surface réduite à discriminer la valeur d'un niveau haut stocké dans l'élément de mémorisation adressé en lecture ou dans l'élément de référence associé est résolue par une surélévation de ce niveau haut. En

d'autres termes, alors que l'écriture s'effectue dans une plage limitée au plus au niveau de tension du premier rail d'alimentation haut Vdd, la lecture s'effectue dans une plage allant jusqu'au niveau de tension du second rail d'alimentation haute Vcc. Comme la précharge de l'amplificateur est effectuée au plus au niveau de tension du premier rail d'alimentation haute Vdd, en choisissant un niveau de tension du second rail d'alimentation haute Vcc suffisamment supérieur à celui-ci, la discrimination est assurée.

10 Le gain de place et la simplification des procédés de fabrication des dispositifs mémoire compensent largement l'utilisation de transistors haute tension à double grille, notamment pour les étages de transfert 3 et de précharge 16 qui doivent être capables de tenir à l'état ouvert une tension relativement
15 élevée de rafraîchissement Vcc.

Bien entendu, la présente invention est susceptible de diverses variantes et modifications qui apparaîtront à l'homme de l'art. En particulier, on a décrit précédemment à titre d'exemple non limitatif l'écriture et la lecture d'une donnée "1". Toutefois, l'homme de l'art saura adapter les commandes décrites
20 précédemment à l'écriture et/ou la lecture d'une donnée "0". Plus généralement, à partir de la description des quelques opérations simples précédentes, l'homme de l'art saura commander chaque colonne du dispositif mémoire de façon appropriée pour obtenir un
25 comportement voulu.

Par ailleurs, l'homme de l'art saura adapter les différents niveaux de commande des différents étages aux principes et structures exposés dans la description précédente et aux fonctions recherchées. L'homme de l'art saura également minimiser le
30 nombre d'alimentations nécessaire, notamment en réalisant des transistors MOS complémentaires dont les niveaux de commande les plus élevés de fermeture VNon ou d'ouverture VPoff sont égaux. De même, les différents niveaux de précharge des lignes de bit ou de l'amplificateur ont été considérés comme étant égaux au niveau
35 haut d'écriture fixé par le premier rail d'alimentation haut Vdd.

Toutefois, les niveaux de précharge pourraient différer, par défaut, de ce niveau haut d'écriture.

Enfin, on adaptera les niveaux de commande selon les principes exposés dans la description précédente et aux fonctions
5 recherchées, en fonction du type de commutateurs MOS utilisés. Par exemple, au lieu d'être des transistors MOS à canal P, les trois transistors P13, P14 et P15 constituant l'étage de pré-charge et d'équilibrage 12 de l'amplificateur de lecture SA, pourraient être trois transistors à canal N, le signal de commande
10 PSA correspondant étant alors le complémentaire du signal décrit précédemment. De façon plus générale, on saura utiliser des transistors complémentaires de ceux utilisés dans la description précédente en modifiant de façon correspondante leurs signaux de commande.

REVENDICATIONS

1. Mémoire DRAM comprenant un réseau matriciel (MA) d'éléments de mémorisation (2) organisés en lignes et colonnes, et pour chaque colonne :

- 5 des moyens d'écriture (SA) propres à polariser au moins un sélectionné desdits éléments à un niveau de charge choisis parmi un premier niveau haut (Vdd) prédéterminé et un deuxième niveau bas prédéterminé, combinés à des moyens de lecture propres à déterminer si le niveau de charge stocké est supérieur ou inférieur à un niveau de précharge prédéterminé ; et
- 10 des moyens d'isolement (3) propres à isoler le réseau des moyens de lecture et/ou d'écriture, caractérisée en ce que chaque colonne comporte en outre des moyens de rafraîchissement (19), distincts des moyens de lecture et d'écriture, pour accroître, au-delà des premier et
- 15 deuxième niveaux prédéterminés, la charge stockée dans un élément de mémorisation.

2. Mémoire selon la revendication 1, caractérisée en ce que les moyens de rafraîchissement (19) sont constitués d'un transistor MOS à canal P à double grille (P24), interposé entre

20 un rail d'alimentation élevé (Vcc) et un noeud d'interconnexion de drains de deux transistors MOS à canal P (P22, P23) à double grille, dont les sources constituent des bornes d'entrée/sortie (OUT20, OUT21) dont chacune est ramenée à la grille de l'autre des transistors.

25 3. Mémoire selon la revendication 1 ou 2, caractérisée en ce que les moyens d'isolement (3) comportent, intercalé entre chaque sortie du réseau (MA) et une des bornes (SA1, SA2) d'entrée/sortie desdits moyens de lecture-écriture, un transistor MOS à canal N à double grille (N10, N11).

30 4. Mémoire selon l'une quelconque des revendications 1 à 3, caractérisée en ce que chaque colonne comporte également un étage de précharge (16) du réseau matriciel (MA).

5. Mémoire selon la revendication 4, caractérisée en ce que ledit étage de précharge (16) comporte, intercalé entre

chaque sortie dudit réseau et une source d'alimentation de précharge, un transistor MOS à canal N à double grille (N17, N18).

6. Mémoire selon l'une quelconque des revendications 1 à 5, caractérisée en ce que chaque colonne comporte également un étage de précharge et d'équilibrage (12) des moyens de lecture (SA).

7. Mémoire selon la revendication 6, caractérisée en ce que ledit étage de précharge et d'équilibrage (12) comporte, intercalés entre deux bornes de lecture (SA1, SA2) desdits moyens de lecture (SA), trois transistors MOS de même type à grille commune (P13, P14, P15) dont deux premiers sont connectés en série entre lesdites bornes de lecture, leur point commun étant relié à une source d'alimentation de précharge (Vdd) et dont le dernier court-circuite directement lesdites bornes de lecture.

8. Procédé d'écriture d'une donnée dans une mémoire selon l'une quelconque des revendications 1 à 7, caractérisé en ce qu'il comporte l'étape consistant à polariser les moyens d'isolement (3) de façon qu'ils soient partiellement ouverts, et à valider les moyens de rafraîchissement (19).

9. Procédé de rafraîchissement d'une donnée dans une mémoire selon l'une quelconque des revendications 1 à 7, caractérisé en ce qu'il comporte l'étape consistant à polariser les moyens d'isolement (3) de façon qu'ils soient complètement ouverts, et à valider les moyens de rafraîchissement (19).

10. Procédé de commande d'une mémoire selon la revendication 3, caractérisé en ce qu'il consiste à prévoir, pour les moyens d'isolement (3), un signal de commande (BLPASS) à trois niveaux, un premier niveau activant complètement les moyens d'isolement, un deuxième niveau bas inhibant complètement les moyens d'isolement et un troisième niveau étant propre à activer ou inhiber chaque transistor MOS à canal N à double grille (N10, N11) selon l'état de la borne d'entrée/sortie (SA1, SA2) des moyens de lecture-écriture (SA) qui lui est associée.

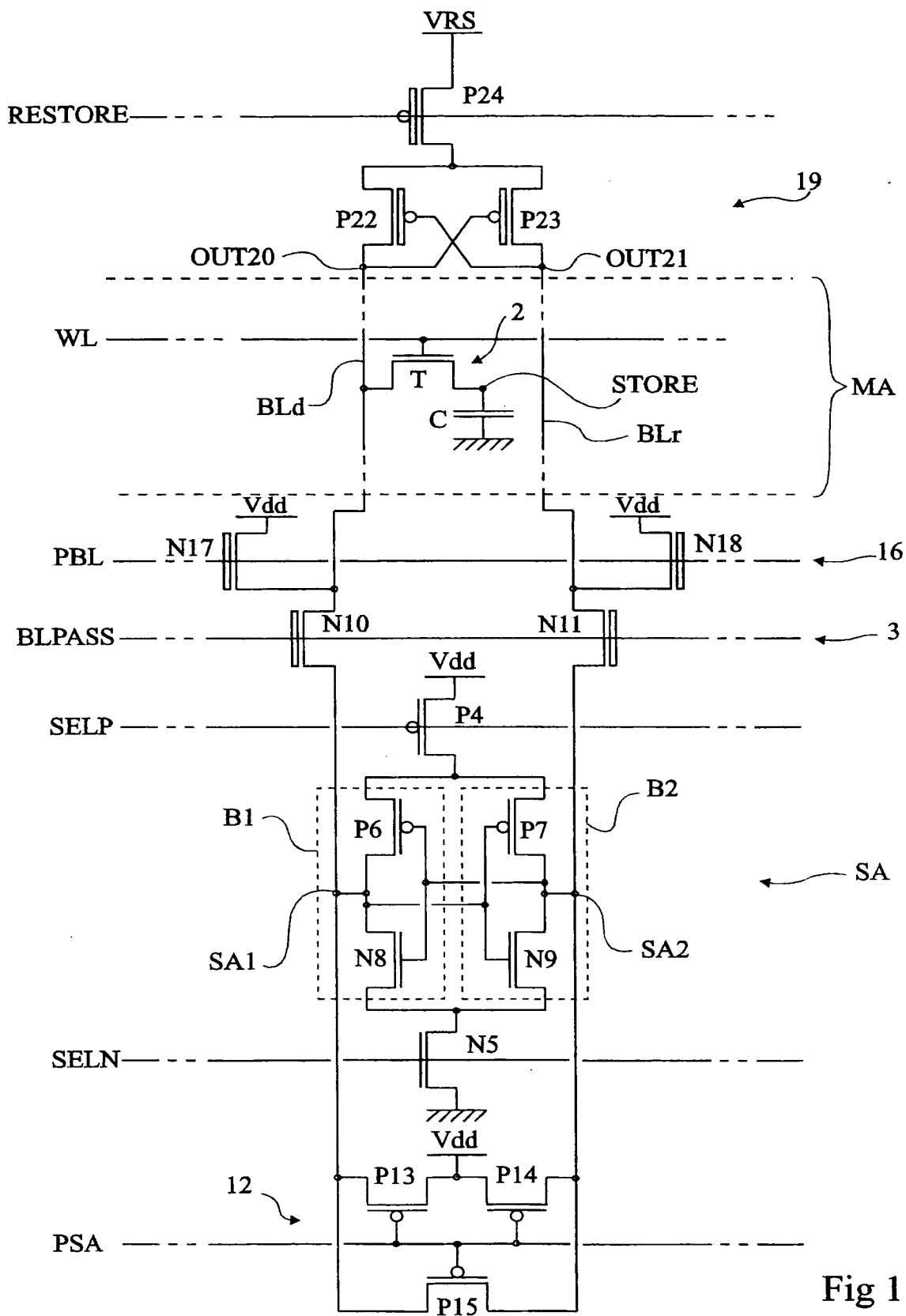


Fig 1

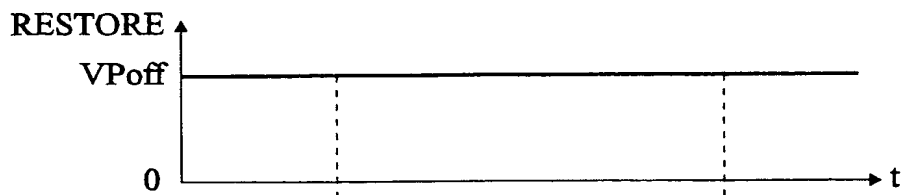


Fig 2A



Fig 2B

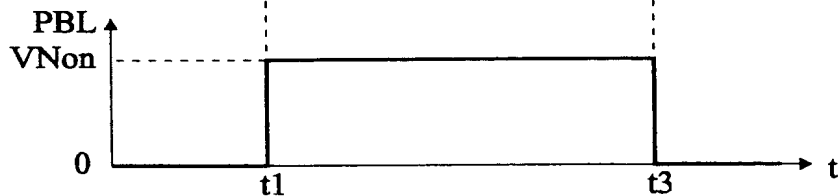


Fig 2C

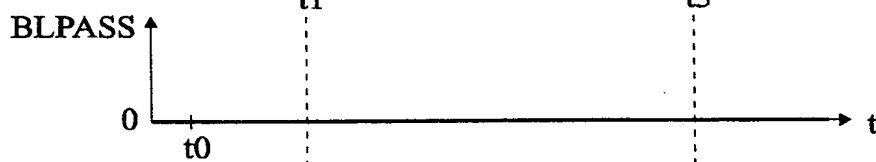


Fig 2D

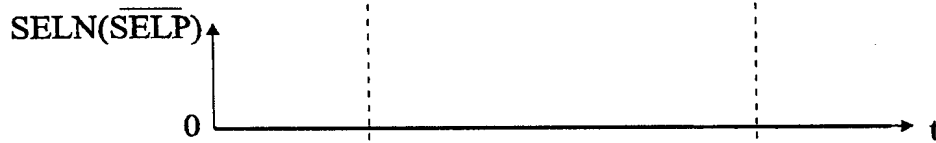


Fig 2E

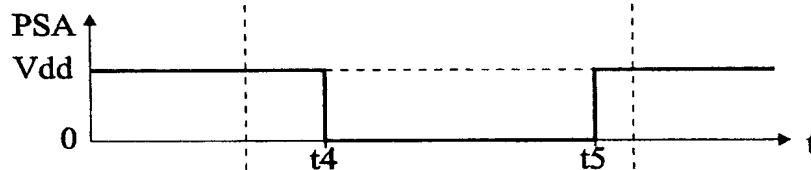


Fig 2F

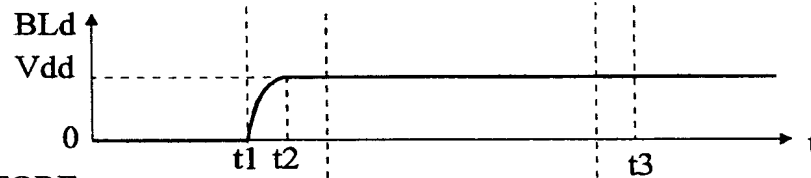


Fig 2G

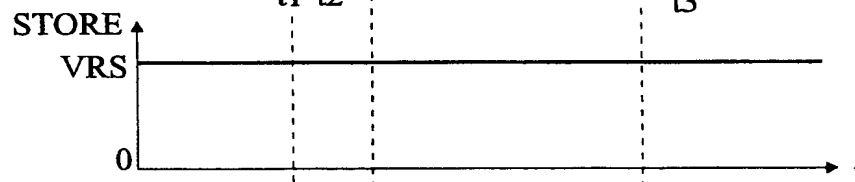


Fig 2H



Fig 2I

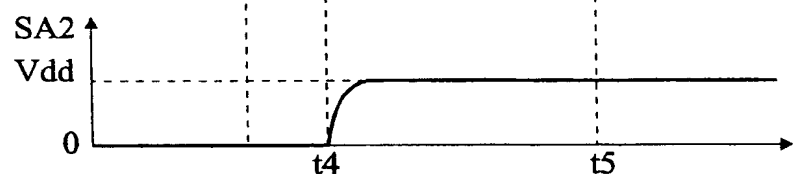
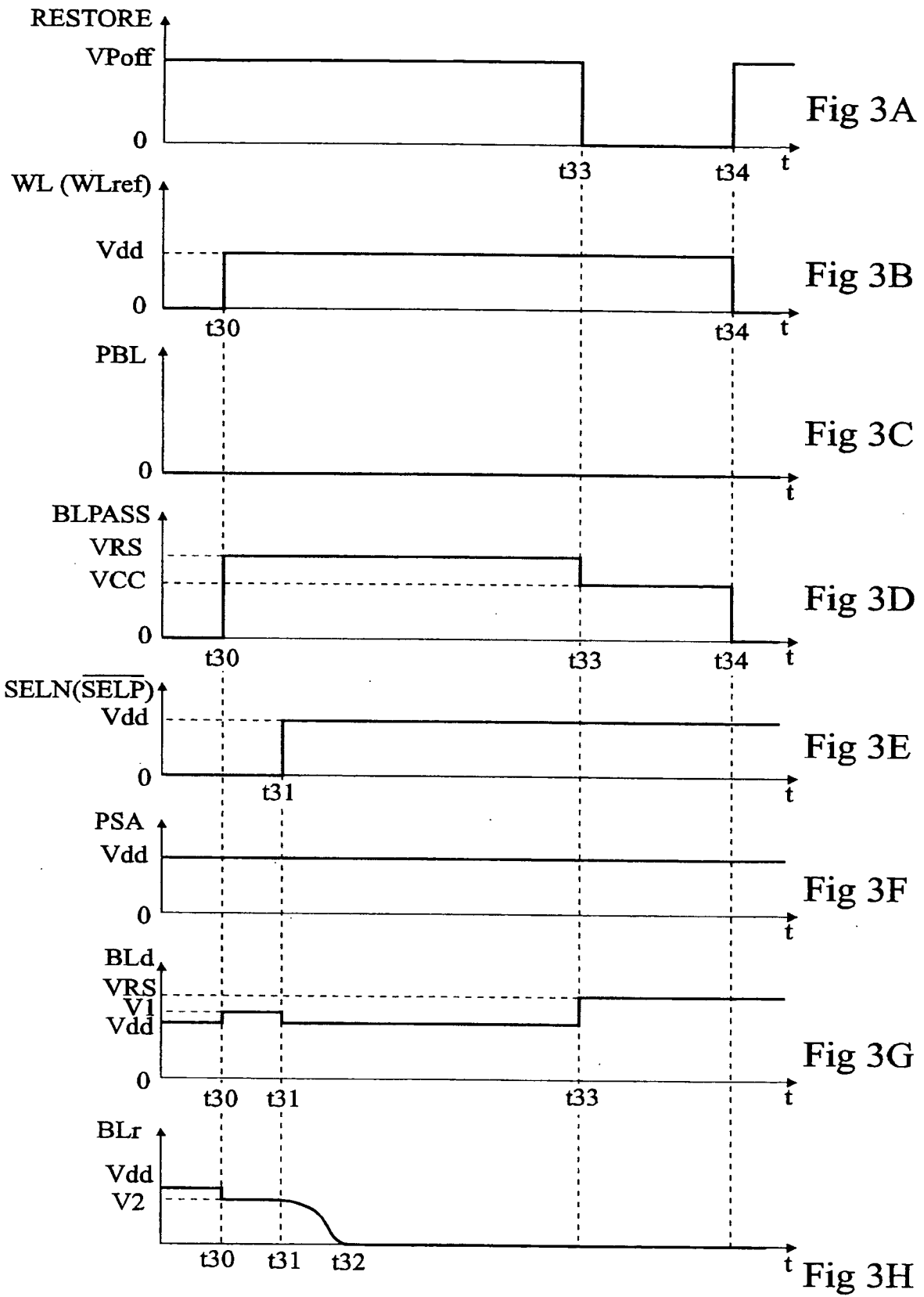


Fig 2J



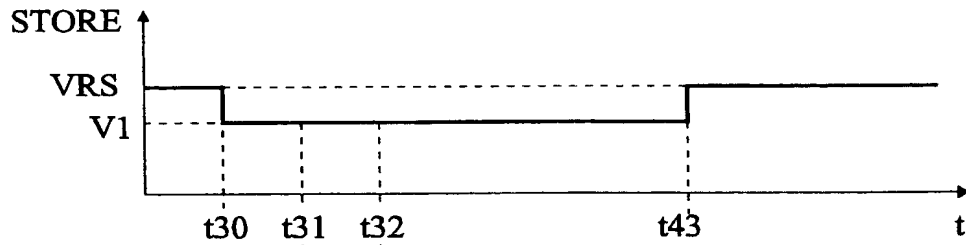


Fig 3I

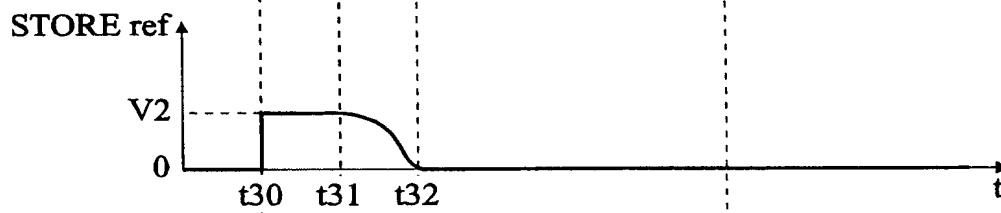


Fig 3J

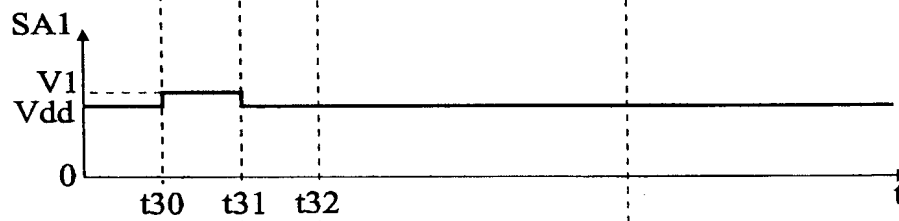


Fig 3K

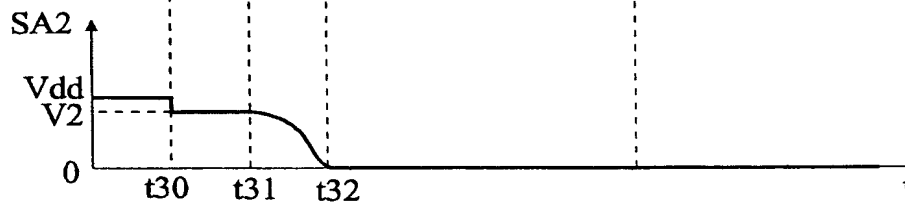


Fig 3L

THIS PAGE BLANK (USPTO)